Fractional-n PLL-Frequenzsynthese

Dipl.-Ing. Erich H. Franke, DK6II

50. UKW-Tagung Weinheim

10.9.2005

Frequenzsynthese mit PLL - Wozu eigentlich?

Frequenzsynthesizer werden angewandt…

… wo Frequenzen in Schritten (Kanälen) eingestellt werden:
- Funkanwendungen
- Taktfrequenzen bei Mikroprozessoren

… wo diese Kanäle automatisch verändert werden sollen:
- Frequenzsprungverfahren (FH)

… in hochintegrierbaren, kostengünstigen Systemen

PLL : Phasenregelschleife (phase locked loop)
FH : Frequency Hopping

Frequenzsynthese mit PLL

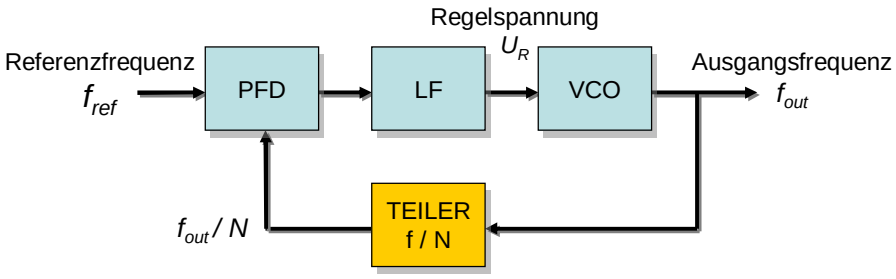
Einsatzbeispiele in Funkanwendungen

Anwendungsbeispiele	Frequenzbereich	Schrittweite
Rundfunk (MW / UKW)	500 kHz / 90 MHz	9 kHz / 50 kHz
Funkgeräte (TETRA25)	400 MHz	25 kHz
Mobiltelefon (GSM)	900 MHz / 1,8GHz	200 kHz
Bluetooth	2,4 GHz	1 MHz (FH)
WLAN (802.11)	2,4 GHz / 5 GHz	5 MHz

MW / UKW : Mittelwelle / Ultrakurzwelle
TETRA : Trans European Trunk Radio Access
FH : Frequency hopping
GSM : groupe spéciale mobile
WLAN : wireless local area network

Das Grundprinzip der PLL

Am Beispiel einer PLL mit ganzzahligem Teilerverhältnis (Integer-N)



PLL : Phasenregelschleife (phase locked loop)
PFD : Phasen-/Frequenz-Detektor
LF : Schleifenfilter (loop filter)
VCO : Spannungsgesteuerter Oszillator (voltage controlled oscillator)

Komponenten und Begriffe

- Der spannungsgesteuerte Oszillator (VCO) erzeugt die Frequenz

$$f_{out} = f(U_R)$$

- Der Teiler teilt die Frequenz f_{out} in einem ganzzahligen Verhältnis
- Der Phasen-Frequenzvergleicher (PFD) erzeugt die Steuerspannung

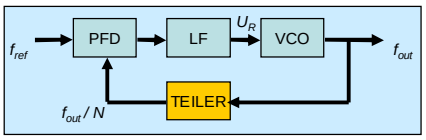
$$U_R = f(f_{ref} - (f_{out} / N))$$

- Im eingeschwungenen Zustand der Schleife ergibt sich demnach:

$$f_{out} = f_{ref} * N$$

Beispiel:

f_{ref} = 50 kHz
N = 1998
f_{out} = **99 900 kHz**



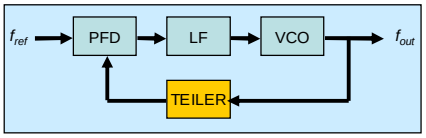
Risiken und Nebenwirkungen

Ein ganzzahliges Teilerverhältnis ist manchmal ungünstig:

- f_{out} kann nur in Schritten von f_{ref} verstellt werden:
  -> Kleinere Schritte erfordern jedoch eine niedrigere Referenzfrequenz!
- Je niederer f_{ref} , um so schmaler ist das Schleifenfilter LF zu wählen!
- Negative Konsequenzen:
  - Längere Einschwingzeit (Problem Kanalwechsel, Frequency Hopping)
  - Mehr Phasenrauschen des VCO bleibt übrig
  - Bei großem N verbleiben Reste von f_{ref} nahe beim Trägersignal

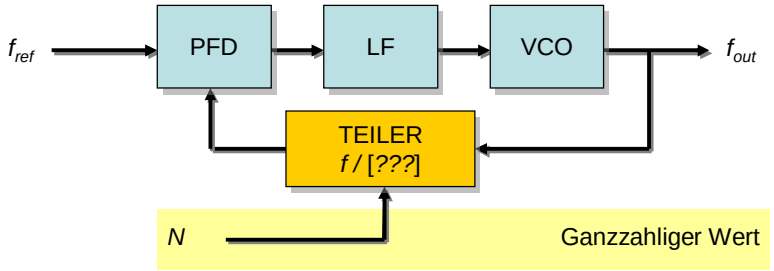
Wünschenswert wäre z.B.:

f_{ref} = 500 kHz
f_{out} = 99 900 kHz
‚N' = 199,8 -> **Bruchzahl wäre nötig**



Eine mögliche Lösung

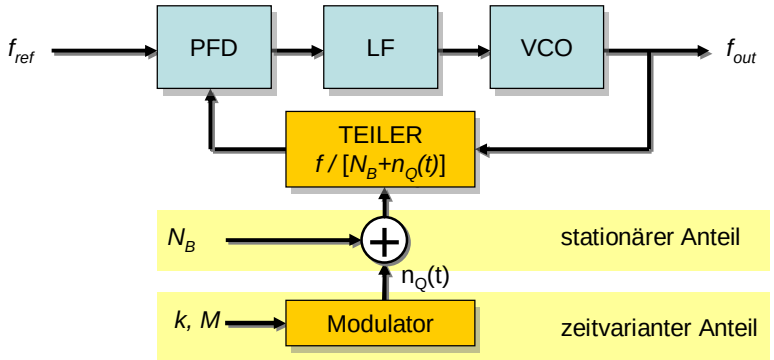
Gewünscht wird eine PLL mit nicht-ganzzahligem Teilerverhältnis (fractional-N)



Aber: Mit einem ganzzahligen Teiler kann ohne Weiteres kein „gebrochenes“ Teilverhältnis erzeugt werden

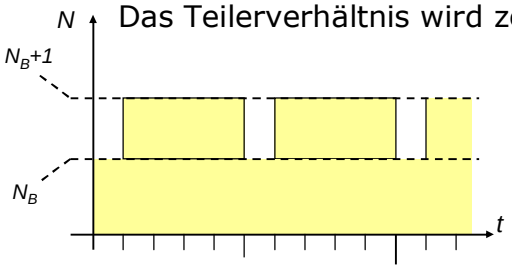
Eine mögliche Lösung

Nicht-ganzzahliges Teilerverhältnis durch zeitvariante Ansteuerung



Ein stark vereinfachter Ansatz

Das Teilerverhältnis wird zeitvariant manipuliert



$$f_{out} = f_{ref} * N_{ges}$$

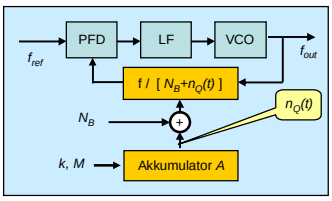
$$N_{ges}(t) = N_B + n_Q(t)$$

	20%	80%	20%	80%		
N_{ges} =	199	200	199	200	199	…

N_{ges} = 199 während 20% der Zeit

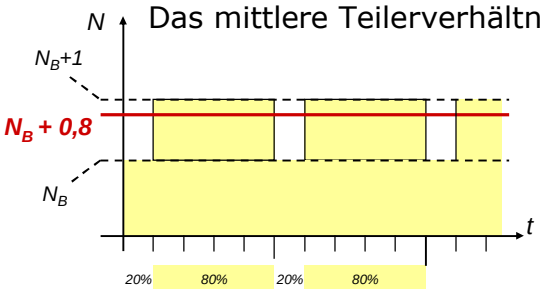
N_{ges} = 200 während 80% der Zeit

$\overline{N_{ges}}$ = **?**



Ein stark vereinfachter Ansatz

Das mittlere Teilerverhältnis ist nun „gebrochen"



$$f_{out} = f_{ref} * N_{ges}$$

$$N_{ges} = N_B + \overline{n_Q}$$

Beispiel:

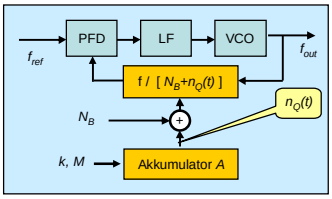
f_{ref} = 500 kHz

N_B = 199

$\overline{n_Q}$ = 0,8

$\overline{N_{ges}}$ = 199,8 (im Mittel)

f_{out} = 99 900 kHz



Die Ansteuerung des Teilers

Im allereinfachsten Fall erfolgt die „Modulation“ über einen Akkumulator (A) der Länge *M*

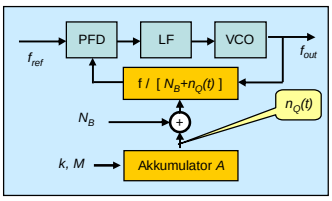
$A_{T+1} = A_T + k$

wenn $(A_{T+1} >= M)$ *dann* $n_Q(t+1) = 1$ *sonst* $n_Q(t+1) = 0$

$A_{T+1} = A_{T+1}$ *modulo M*

Aus vorherigem Beispiel:

k	= 8	(Konstante)									
M	= 10	(Modulus)									
A(t)	= 8	16	14	12	10	8	16	14	12	10	…
$n_Q(t)$	= 0	1	1	1	1	0	1	1	1	1	…
A(t+1)	= 8	6	4	2	0	8	6	4	2	0	…



Die Ansteuerung des Teilers

Im allereinfachsten Fall erfolgt die „Modulation“ über einen Akkumulator (A) der Länge *M*

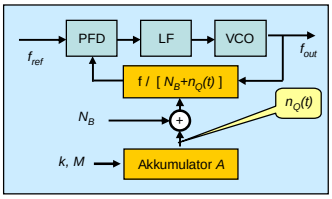
$A_{T+1} = A_T + k$

wenn $(A_{T+1} >= M)$ *dann* $n_Q(t+1) = 1$ *sonst* $n_Q(t+1) = 0$

$A_{T+1} = A_{T+1}$ *modulo M*

Mit: $$\overline{n_Q(t)} = \frac{k}{M}$$

Erhalten wir: $$f_{out} = \left(N_B + \frac{k}{M}\right) * f_{ref}$$



Die Ansteuerung des Teilers

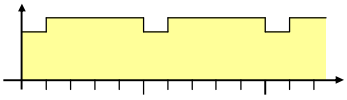
Im allereinfachsten Fall erfolgt die „Modulation“ über einen Akkumulator (A) der Länge *M*

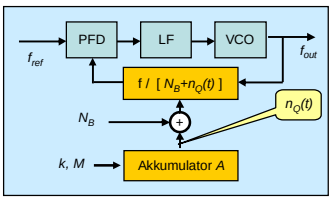
$A_{T+1} = A_T + k$

wenn $(A_{T+1} >= M)$ *dann* $n_Q(t+1) = 1$ *sonst* $n_Q(t+1) = 0$

$A_{T+1} = A_{T+1}$ *modulo M*

Wie sieht es in der Praxis aus?

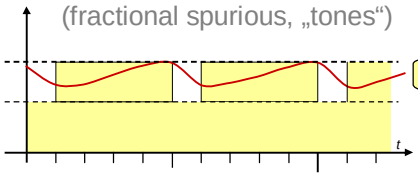


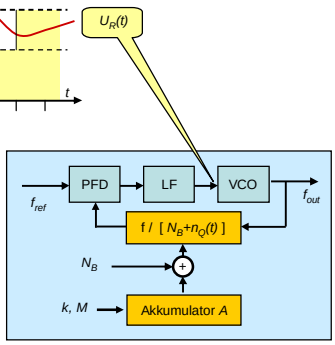


Das Problem der Praxis:

Das „einfache Akkumulator“-Verfahren erzeugt viel zu regelmäßige Strukturen!

-> wir erhalten eine „niederfrequente“ Störmodulation (fractional spurious, „tones“)





Wir brauchen Verfahren zur…

- Reduktion periodischer Anteile
- Verminderung von Sprüngen auf U_R

Reduktion der Störmodulation

Verschiedene Ansätze sind möglich

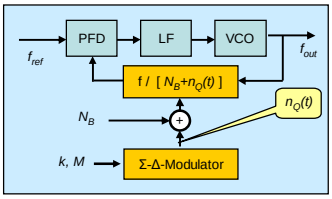
Verfahren	Wirkt durch…	Problematik
Jitter mit Zufallssignal (Dithering)	Verringerung der Periodizität	Frequenzunruhe
Rauschformung mit Σ-Δ-Modulator	Verringerung der Periodizität	Quantisierungsgeräusch
Voreinstellung der Phase mit DAC	Steuerung der Phase in der Regelschleife	Ungenauigkeiten in den analogen Komponenten
Phasen-Interpolation	Mehrphasen-VCO	Phasenunruhe durch Interpolation

DAC : Digital/Analog Converter
VCO : Voltage Controlled Oscillator

Der Trick mit dem ΣΔ-Modulator

Der ΣΔ-Modulator besitzt günstige Eigenschaften

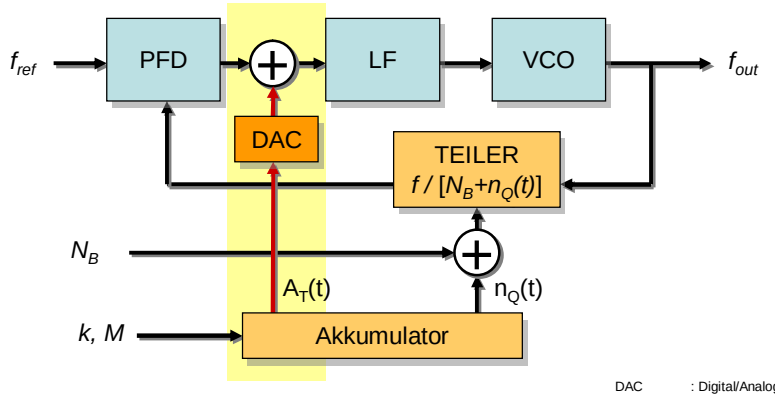
- Einstellbarkeit wie bei der „einfachen Akkumulator"-Lösung
- ‚verrauscht' jedoch das Tastverhältnis
  -> reduziert <u>periodische</u> Störmodulation
- Phasenrauschen wird zu höheren Frequenzen hin verschoben.
  -> bessere Wirksamkeit des Schleifenfilters
- Arbeitet auf digitaler Ebene.
  -> hinreichend toleranzfrei
- Direkte digitale Modulation möglich



Voreinstellung der Phase

Der DAC gibt eine zusätzliche Voreinstellung der Phase, abhängig vom Divisionsrest des Akkumulators:

-> Wirkt dem Phasenfehler (Phasensprünge) entgegen



DAC : Digital/Analog Converter

Ausblick

- Gewünschte Eigenschaften von Synthesizern:
  - Digitale Arbeitsweise
  - Hochintegration / Kosten
  - Geschwindigkeit / Agilität / Einstellbarkeit

  Vor allem bei frequenzagilen Systemen (z.B. bei Bluetooth)

- Frac-N Synthesizer besitzen diese günstige Eigenschaften
  - Lösung des Problems „fractional spurious emissions" notwendig
  - ΣΔ-Technik ist heute hierfür „state-of-the-art"

- Beispiel: [1] Aufbau eines kompletten 2,4GHz ΣΔ-Frac-N-Synthesizer auf 2x2mm in 0,35µm CMOS

Literatur

[1] Shu,K; Sánchez-Sinencio,E; „CMOS PLL Synthesizers"; Springer; 2005

[2] „MB15F88UL, Frac-N PLLs achieve faster hopping times"; FUJITSU MICROELECTRONICS EUROPE; 29.6.2001

[3] Wells, J.; „Frequency Synthesizers"; EP 125790; Mai 1984

[4] King, N.; „Phase-locked loop variable frequency generator"; U.S. Pat. 4204174, Mai 1980